

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-147458

(43)Date of publication of application : 07.06.1996

(51)Int.Cl. G06T 1/60

(21)Application number : 06-285141

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.11.1994

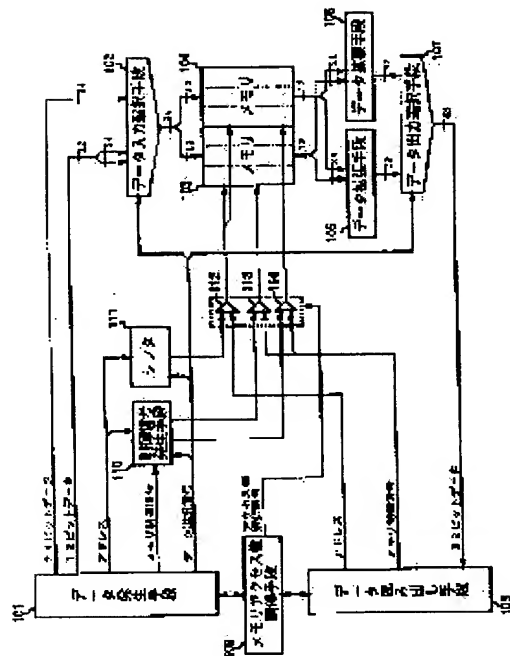
(72)Inventor : HORIUCHI KOICHI  
MATSUMOTO TAKAO

## (54) MEMORY CONTROL UNIT

## (57)Abstract:

PURPOSE: To decrease the buffer memory capacity of an information processing system which generates plural data differing in bit with.

CONSTITUTION: A data generating means 101 generates data with 24-bit and 12-bit widths. Memories 103-104 have 24-bit width. The data with the 12-bit width are stored in the memories so that two data in adjacent addresses are successive. Data expanding means 105-106 expand the 24-bit data stored in the memories 103-104 into 32-bit data. Those data are read out by a memory read means 108. The memories are stored with only the data generated by the data generating means 101, so the buffer memory capacity is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

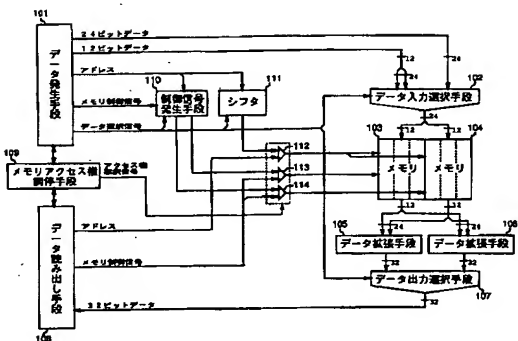
[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(51)Int.Cl. <sup>9</sup>	識別記号	片内整理番号	F 1	技術表示箇所
G 0 6 T 1/60			G 0 6 F 15/ 64	4 5 0 D 4 5 0 E
(21) 出願番号	特願平6-285141		(71) 出願人	000006821 松下電器産業株式会社
(52) 出願日	平成 6 年 (1994) 11 月 18 日		(72) 発明者	大阪府門真市大字門真1006番地 堀内 浩一
			(72) 発明者	大阪府門真市大字門真1006番地 松下電器 産業株式会社内 松本 孝夫
			(74) 代理人	大阪府門真市大字門真1006番地 松下電器 弁護士 松田 正建
			審査請求	未請求 請求項の数 1 O L (全 9 頁)



### 【特許請求の範囲】

【基本事項】  $(3 \times (2) \text{ の } n \text{ 美} : n \text{ は } 0 \text{ 以上の整数})$  ビット幅の複数のデータを送り、発する複製データとビット幅が異なるデータを送り、前記データに  $(2) \text{ の } N - n \text{ 美} : N \text{ は } n \text{ 以上の整数}$  の複製を付加して格納する  $(3 \times (2) \text{ の } N \text{ 美})$  ビット幅のメモリと、前記データを送り手段の出力するデータ選択信号に基づき前記データを送り手段の出力するデータを選択し前記データを読み出し手段と、前記メモリに格納されたデータに前記データを送り手段の出力するデータのビット幅によって定められたビット位置に任意のデータの付加して  $(4 \times (2) \text{ の } N \text{ 美})$  ビット幅にする複製のデータ拡張手段と、前記データを送り手段の出力するデータ選択信号に基づき前記データ拡張手段の出力するデータを選択し前記データを読み出し手段へ入力するデータ出力手段とを備えたことを特徴とするメモリ制御装置。

【発明の記載と説明】

【0001】

【産業上の利用分野】 本発明は、複数の複製ビット幅を持つ複製データを発する情報処理システムにおいて、複数の複製ビット幅を持つ複製データを共通のバスネットワークに、同時に格納するメモリ制御装置に関するものである。

**[0002]**

【従来の技術】近年のCPUの高速化、メモリの大容量化

し、情報処理システムが扱うことのできるデータは、もともと人にとっていて、このことは、画像データに関して、例えば、高解像度かつ高コントラストな高い画像データを扱うことができるようになってきたことを意味する、

【00003】画像データの1画素あたりの階調ビット幅は、画像データの解像度によって異なっている。例えば、自然画などのフルカラー画像は、一般的に24ビット幅であり、X線写真などのグレイスケール画像は、一般的に12ビット幅である。

【0004】例えば、ビデオカメラから入力された画像データをデジタル化して、3次元グラフィックス処理した画像データを生成したり、3次元グラフィックス処理を行ない画像データを生成したりというように、情報処理システムは画像データを発生する。発生された画像データは最終的にはメインメモリに格納されるが、画像データを高速に発生するために、メインメモリにアクセスするより高速にアクセスできる専用のバッファメモリに、時的に画像データを格納することが多い。

【10005】一つの情報処理システムが、階調ビット幅の異なる複数の映像データを発生する場合のバッファメモリのメモリ制御装置の一例を図3に示す。

(2)

【0000】図3において、301は番組みっぱしの異なる2種類の画像データを発生するデータ発生手段、302は1番目のデータにビットを付加するデータ拡張手段、303は2番目のデータにビットを付加するデータ拡張手段、304はデータ拡張手段302とデータ拡張手段303の出力データを選択するデータ入力選択手段、305は画像データを、定期的に格納するメモリ、306は画像データをメモリ305から読み出すデータ読み出し手段、307はメモリ306から読み出したデータとメモリ305へのアドレスを選択するセレクタ、309はメモリ305へのメモリ制御信号を選択するセレクタである。

【0007】データ発生手段30は、1画素毎に画像データを発生し、その画素のアドレスとデータを出力する。データ発生手段30は、24ビット幅の画像データと12ビット幅の画像データの2種類の画像データを発生する。または、24ビット幅の画像データを発生する場合を考える。

【0006】データ拡張手段303は、データを生成手段301の出力する2ビット幅データに追加の8ビットを付加し、メモリに幅32ビットに適合させて出力する。図4にデータ拡張の例を示す。ここでは、データを生成手段301の発生する画像データ401をビット23から0に割り当て、拡張データをビット31から24に割り当てることで32ビット幅のデータ402を作る。

【0009】データ入力選択手段304は、データ発生手段301の出力するデータ選択信号によって、24ビット軸データ、つまり32ビット幅に拡張されたデータを選択手段303の出力を選択し出力する。

【0010】データ発生手段301は、メモリアクセス補調手段307にメモリ305へのアクセス権を要求する。メモリアクセス補調手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ発生手段301に対しメモリ305へのアクセスを許可する。

【1001】セレクタ308は、メモリアセスを補読する手段307の出力するアセス補読出力によって、データ発生手段301の発生するアドレスを選択し出力する。セレクタ309は、メモリアセスを補読する手段307の出力するアセス補読出力によって、データ発生手段301の発生するメモリ制御信号を選択し出力する。これらのアドレスとメモリ制御信号によって、データ入力手段304の出力するデータがメモリ305の指定の位置に書き込まれる。

【0012】データ読み出し手段306は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ読み出し手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ読み出し手段306に

対しメモリ305へのアクセスを許可する。

【0013】セリクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するアドレスを選択し出力する。セリクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するメモリ制御信号を選択し出力する。これらのアドレスとメモリ制御信号によって、メモリ305の指定の位置のデータがデータ読み出し手段306へ読み出される。

【0014】同様に、データ発生手段301が12ビット幅データを発生する場合を考える。データ拡張手段302は、データ発生手段301の出力する12ビット幅データに任意の20ビットを付加し、メモリのビット幅32ビットに合わせて出力する。図4にデータ拡張の例を示す。ここでは、データ発生手段301の発生する映像データ403をビット11から0に割り当て、拡張データをビット31から12に割り当てることで32ビット幅のデータ404を作る。

【0015】アーマ人入選択手段304は、アーク発生手段301の出力するデータ選択信号によって、12ビット幅データ302、つまり32ビット幅に拡張されたデータ拡張データ302の出力を選択し出力する。

【0016】データ発生手段301は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ発生手段301に対しメモリ305へのアクセスを許可する。

【0017】セリクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するアドレスを選択し出力する。セリクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するメモリ制御信号を選択し出力する。これらのアドレスとメモリ制御信号によって、データ人入選択手段304が出力するデータがメモリ305の指定の位置に書き込まれる。

【0018】データ読み出し手段306は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ読み出し手段306に対しメモリ305へのアクセスを許可する。

【0019】セリクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するアドレスを選択し出力する。セリクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するメモリ制御信号を選択し

出力する。これらのアドレスとメモリ制御信号によって、メモリ305の指定の位置のデータがデータ読み出し手段306へ読み出される。

【0020】  
【発明が解決しようとする課題】情報処理システムのメモリメモリへの読み出しアクセス単位は、一般的に1バイト（＝8ビット）であり、（2のM乗：Mは0以上の整数、上限は情報処理システムによって異なる）バイト単位でのアクセスが可能である。従って、メモリの構成も、（2のM乗）バイト幅にする必要がある。

【0021】24ビット幅データを（2のM乗）バイト幅メモリに格納するためには、24バイト＝3バイトのため、最低4（＝2の2乗）バイト幅のメモリが必要であり、メモリ305は32ビット（＝4バイト）幅になっている。従って、24ビット幅データをメモリ305に格納する時は、32ビット幅に拡張する必要がある。1画素毎に情報量の少ない必要なデータ8ビットを付加しなくてはならない。これは、データ幅が（2のM乗）バイト単位でないからである。

【0022】同様に、12ビット幅データの場合には、最低16ビット（＝2バイト）幅のメモリが必要であり、1画素毎に情報量の少ない必要なデータ4ビットを付加しなくてはならない。

【0023】ところが、データ発生手段301は1画素毎にそれに対応するアドレスを出力するため、メモリ305のアドレスは1画素に1対1に対応することになる。よって、12ビット幅のデータも、32ビット幅に格納する必要がある。従って、12ビット幅データをメモリ305に格納する時は、32ビット幅に拡張する必要がある。1画素毎に情報量の少ない必要なデータ20ビットを付加しなくてはならない。

【0024】つまり、24ビット幅データの場合には、1画素あたり8ビット分のパツパメモリが余分に必要であり、12ビット幅データの場合には、1画素あたり20ビット分のパツパメモリが余分に必要である。

【0025】本発明は上記の従来のメモリ制御の課題に鑑み、24ビット幅や12ビット幅などの（3×（2のn乗：nは0以上の整数））ビット幅でビット幅の異なる複数のデータを発生する情報処理システムにおいて、必要なビット幅だけのパツパメモリを有効利用し、メモリ量を削減することができる、メモリ制御装置を提供することを目的としている。

【0026】

【課題を解決するための手段】上記課題を解決するために、本発明は、（3×（2のn乗：nは0以上の整数））ビット幅の複数のデータを発生し、発生する複数のデータのビット幅が異なるデータ発生手段と、前記データを発生手段の出力する複数のデータを個々のデータ毎に（2のNー乗：Nはn以上の整数）間接して格納する（3×（2のN乗））ビット幅のメモリと、前記デ

ータ発生手段の出力するデータ選択信号に基づき前記データ発生手段の出力するデータを選択し前記メモリへ入力するデータ人入選択手段と、前記メモリに格納されたデータを読み出すデータ読み出し手段と、前記メモリに格納されたデータに前記データ発生手段の出力するデータのビット幅によって定められたビット位置に任意のデータのビット幅に付加して（4×（2のN乗））ビット幅にする複数のデータ拡張手段と、前記データ発生手段の出力するデータ選択信号に基づき前記データ拡張手段の出力するデータを選択し前記データ読み出し手段へ入力するデータ出力選択手段とを備えたことを特徴としている。

【0027】

【作用】本発明は上記した構成により、メモリが（3×（2のN乗））ビット幅を持ち、メモリのビット幅より小さい（3×（2のn乗））ビット幅のデータは（2のNー乗）間接してメモリに格納し、データ拡張手段がメモリの読み出し時にデータを付加して（4×（2のN乗））（＝2の（N＋2）乗）ビット幅にするので、必要なビット幅だけのパツパメモリしか必要とした。

【0028】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0029】図1は本発明の実施例におけるメモリ制御装置のブロック図である。図1において、101は格納ビット幅の異なる2種類の映像データを発生するデータ発生手段、102はデータ発生手段101の出力する2種類のデータを選択するデータ人入選択手段、103は映像データを順的に格納するメモリと位半分のビット部分、104は映像データを順的に格納するメモリと位半分のビット部分、105は1番目のデータにビットを付加するデータ拡張手段、106は2番目のデータにビットを付加するデータ拡張手段、107はデータ拡張手段105とデータ拡張手段106の出力データをを選択するデータ出力選択手段、108は映像データをメモリ103とメモリ104から読み出すデータ読み出し手段、109はメモリアクセス権調停手段、110は、データ発生手段101の出力するアドレスとメモリ制御信号からメモリ103とメモリ104へのメモリ制御信号を出力する制御信号発生手段、111はデータ発生手段101の出力するアドレスからメモリ103とメモリ104へのアドレスを出力するシフト、112はメモリ103とメモリ104へのアドレスを選択しセリクタ、113はメモリ103へのメモリ制御信号を選択しセリクタ、114はメモリ104へのメモリ制御信号を選択しセリクタである。

【0030】データ発生手段101は、1画素毎に映像データを発生し、その画素のアドレスとデータを出力する。データ発生手段101は、24ビット幅の映像データと12ビット幅の映像データの2種類の映像データを

発生する。まずは、24ビット幅の映像データを発生する場合を考える。

【0031】データ人入選択手段102は、データ発生手段101の出力するデータ選択信号によって、24ビット幅データを選択し出力する。

【0032】データ発生手段101は、メモリアクセス権調停手段109にメモリ103とメモリ104へのアクセス権を要求する。メモリアクセス権調停手段109は、データ発生手段101とデータ読み出し手段108との間でメモリアクセス権を調停し、データ発生手段101に対しメモリ103とメモリ104へのアクセスを許可する。

【0033】制御信号発生手段110は、データ発生手段101の出力するデータ選択信号に基づき、データ発生手段101の出力するメモリ制御信号を、そのままセリクタ113とセリクタ114に対して出力する。

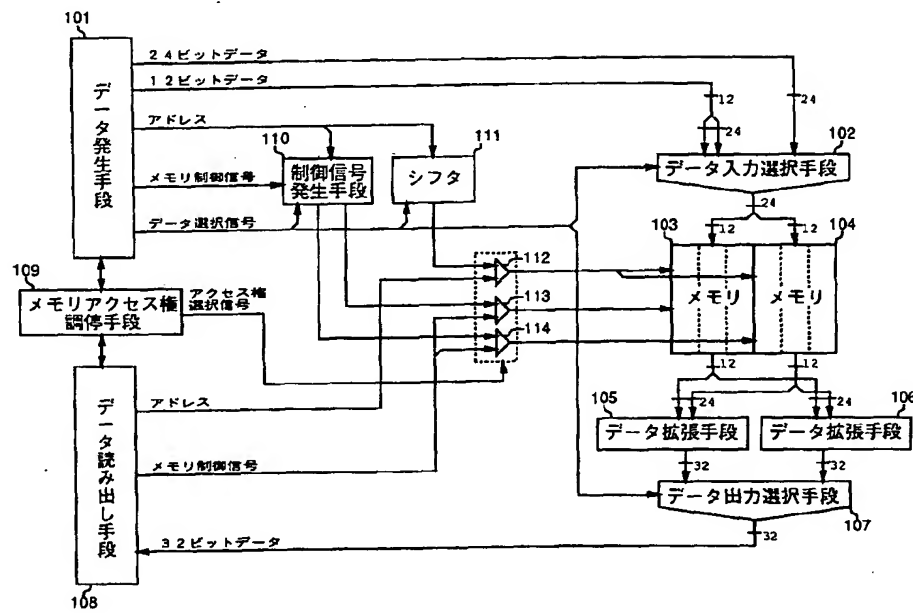
【0034】シフト111は、データを発生手段101の出力するデータ選択信号に基づき、データ発生手段101の出力するアドレスを、そのままセリクタ112に対して出力する。

【0035】セリクタ112は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、シフト111の出力するアドレスを選択しメモリ103とメモリ104に対して出力する。セリクタ113は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、制御信号発生手段110の出力するメモリ制御信号を選択しメモリ103に対して出力する。セリクタ114は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、制御信号発生手段110の出力するメモリ制御信号を選択しメモリ104に対して出力する。これらのアドレスとメモリ制御信号によって、データ人入選択手段102が出力する24ビット幅のデータがメモリ103とメモリ104の指定の位置に書き込まれる。

【0036】データ読み出し手段108は、メモリアクセス権調停手段109にメモリ103とメモリ104へのアクセス権を要求する。メモリアクセス権調停手段109は、データ発生手段101とデータ読み出し手段108との間でメモリアクセス権を調停し、データ読み出し手段108に対しメモリ103とメモリ104へのアクセスを許可する。

【0037】セリクタ112は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するアドレスを選択しメモリ103とメモリ104に対して出力する。セリクタ113は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するメモリ制御信号を選択しメモリ103に対して出力する。セリクタ114は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、

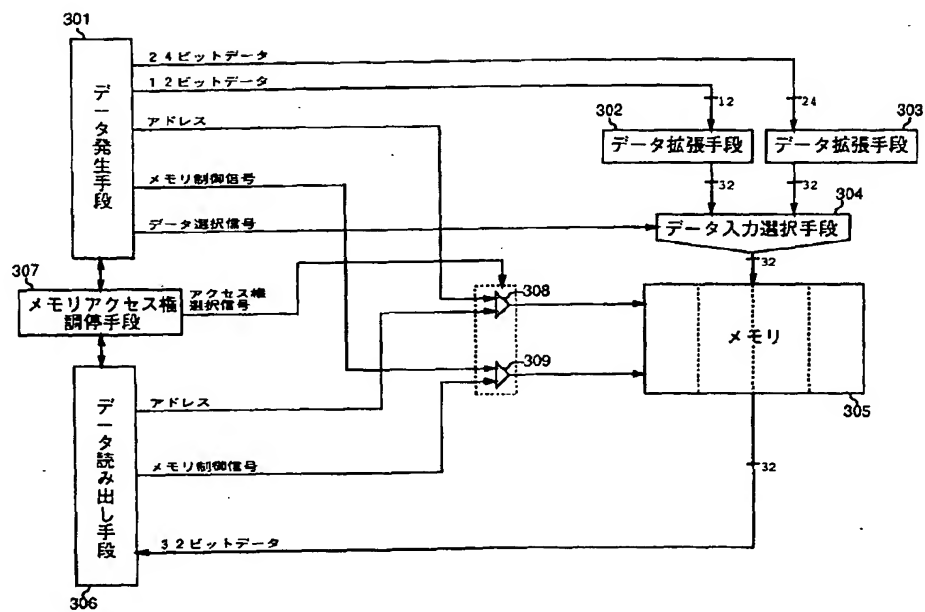




【図1】

(7)

特開平08-147458



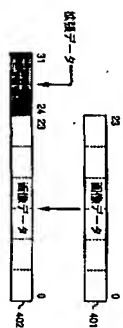
【図3】

(8)

特開平08-147458

【図4】

(1) 24ビットワイドの場合



(2) 12ビットワイドの場合

